



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001210093 A

(43) Date of publication of application: 03.08.01

(51) Int. Cl

**G11C 29/00****H01L 21/82****H01L 27/04****H01L 21/822**

(21) Application number: 2000016201

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 25.01.00

(72) Inventor: GOTO KOJI

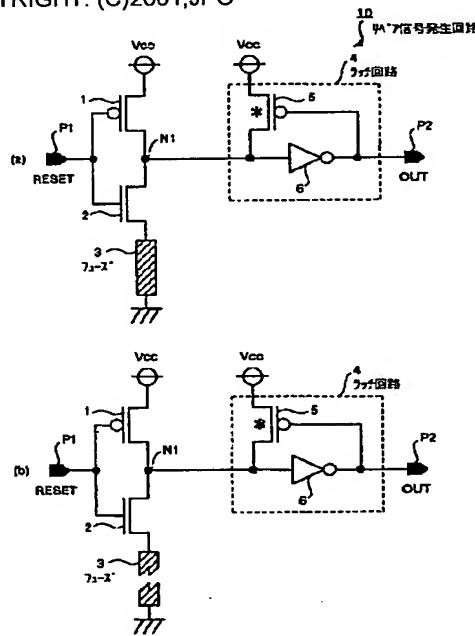
## (54) REPAIR SIGNAL GENERATING CIRCUIT

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To reliably relieve a circuit having a defective part by outputting a repair signal in which it is detected correctly whether a fuse is cut off.

**SOLUTION:** This circuit is provided with a (p) channel transistor 1 in which the source is connected to a power source Vcc and a reset signal RESET is inputted to the gate, an (n) channel transistor 2 in which the source is connected to another terminal of a grounded fuse 3, the drain is connected to a drain of the (p) channel transistor 1, and the reset signal RESET is inputted to the gate, a (p) channel transistor 5 in which the drain is connected to the node N1 being a connection point of the (p) channel transistor 1 and the (n) channel transistors 2, the source is connected to a power source Vcc and which has large on-resistance than that of the (n) channel transistor 2, and an inverter 6 in which the input side is connected to the node N1, the output side is connected to the gate of the (p) channel transistor 5 and which outputs a repair signal OUT.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210093

(P2001-210093A)

(43)公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl.  
 G 11 C 29/00  
 H 01 L 21/82  
 27/04  
 21/822

識別記号  
 6 0 3

F I  
 G 11 C 29/00  
 H 01 L 21/82  
 27/04

テマコード(参考)  
 6 0 3 J 5 F 0 3 8  
 R 5 F 0 6 4  
 M 5 L 1 0 6

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21)出願番号 特願2000-16201(P2000-16201)  
 (22)出願日 平成12年1月25日(2000.1.25)

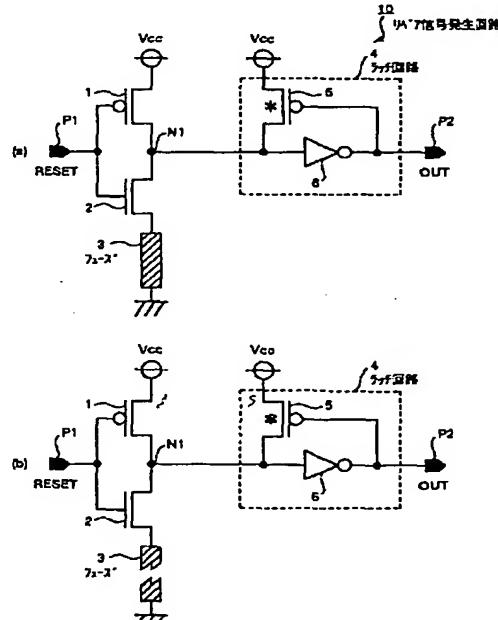
(71)出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号  
 (72)発明者 後藤 宏二  
 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
 (74)代理人 100089118  
 弁理士 酒井 宏明  
 Fターム(参考) 5F038 AV09 AV15 CD09 DF01 DF08  
 DF14 DF16 DT02 DT11 DT17  
 EZ20  
 5F064 BB33 CC09 DD50 FF02 FF27  
 5L106 CC04 CC12

## (54)【発明の名称】 リペア信号発生回路

## (57)【要約】

【課題】 フューズが切断されているか否かを正しく検出したリペア信号を出力し、不良箇所を有した回路の救済を確実に行うこと。

【解決手段】 ソースを電源Vccに接続し、ゲートにリセット信号RESETが入力されるpチャネルトランジスタ1と、接地されたフューズ3の他端にソースを接続し、ドレインをpチャネルトランジスタ1のドレインに接続し、ゲートにリセット信号RESETが入力されるnチャネルトランジスタ2と、pチャネルトランジスタ1とnチャネルトランジスタ2との接続点であるノードN1にドレインを接続し、ソースを電源Vccに接続し、nチャネルトランジスタ2に比してオン抵抗が大きいpチャネルトランジスタ5と、入力側をノードN1に接続し、出力側をpチャネルトランジスタ5のゲートに接続し、リペア信号OUTを出力するインバータ6とを備える。



## 【特許請求の範囲】

【請求項1】 ソースを電源に接続し、ゲートにリセット信号が入力される第1のpチャネルトランジスタと、接地されたフューズの他端にソースを接続し、ドレインを前記第1のpチャネルトランジスタのドレインに接続し、ゲートに前記リセット信号が入力されるnチャネルトランジスタと、前記第1のpチャネルトランジスタと前記nチャネルトランジスタとの接続点にドレインを接続し、ソースを前記電源に接続し、前記nチャネルトランジスタに比してオン抵抗が大きい第2のpチャネルトランジスタと、入力側を前記接続点に接続し、出力側を前記第2のpチャネルトランジスタのゲートに接続し、リペア信号を出力するインバータと、を備えたことを特徴とするリペア信号発生回路。

【請求項2】 前記電源と前記接続点との間にコンデンサをさらに接続したことを特徴とする請求項1に記載のリペア信号発生回路。

【請求項3】 リセット解除を示す前記リセット信号を遅延させる遅延回路をさらに備え、前記リペア信号発生回路が搭載される半導体集積回路上の他の回路に、リセット解除を示す前記リセット信号を遅延出力することを特徴とする請求項1または2に記載のリペア信号発生回路。

【請求項4】 前記遅延回路は、少なくとも複数段のフリップフロップ回路を備え、前記半導体集積回路に供給されるシステムクロックに同期してリセット解除を示す前記リセット信号を遅延出力することを特徴とする請求項3に記載のリペア信号発生回路。

【請求項5】 前記複数段のフリップフロップ回路が出力するリセット信号に応答して前記インバータが出力するリペア信号をラッチ出力する第2のフリップフロップ回路と、前記複数段のフリップフロップ回路が出力するリセット信号をさらに遅延させる第3のフリップフロップ回路と、

前記第3のフリップフロップ回路が出力するリセット信号の反転信号と当該リペア信号発生回路に入力される前記リセット信号との論理積をとり、前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに出力するリセット信号入力回路と、をさらに備えたことを特徴とする請求項4に記載のリペア信号発生回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体集積回路上に搭載され、該半導体集積回路の製造過程で生じる機能不良を冗長回路によって置き換えることを指示するリペア信号を発生するリペア信号発生回路に関するもので

ある。

## 【0002】

【従来の技術】近年の半導体プロセス技術の発達により極微細加工が進み、半導体集積回路の集積度は急激に増大し、これによって回路規模が増大している。また、最近では、メモリバンド幅の増大、低消費電力化などの効果を得るため、ロジック回路と大規模メモリデバイスとを同一半導体チップ上に混載するものもある。

【0003】同一半導体チップ上に大規模なシステム回路を搭載すると、システム実機に半導体デバイスを実装する際のシステム基板の底面積化、低消費電力化を達成できる。しかし、半導体集積回路の製造の観点からすると、単位面積当たりのトランジスタ密度が増大し、またチップ面積の増大に伴ってウェハの欠陥係数が増大するため、半導体チップの歩留まりの悪化を引き起こすことになる。

【0004】そこで、近年では半導体チップ上の一部の回路、たとえば一部のメモリ回路が、製造過程で生じた欠陥を有する場合であっても、この欠陥を有した回路と同等の機能をもつ冗長回路を予め同一の半導体チップ上に搭載しておき、切替回路によって、冗長回路の一部を欠陥を有した回路に入れ替え、あるいは欠陥を有した回路を全冗長回路に入れ替えるようして、欠陥を有した回路を救済し、半導体チップの歩留まりを向上させるようしている。

【0005】欠陥を有した回路と冗長回路とを切り替える切替方式としては、たとえばフューズを用いたレーザトリミング方式があり、フューズの一端は、半導体集積回路の電源または接地ノードに接続され、他端は欠陥を有した回路を入れ替えるか否かを指示するリペア信号を発生するリペア信号発生回路に接続される。

【0006】レーザトリミング方式では、最初に半導体集積回路がテストされ、不良箇所または不良ブロックを特定されると、この特定された不良箇所または不良ブロックのフューズをレーザトリミング装置によって切断する。このフューズの切断が生じると、リペア信号発生回路が動作して、リペア信号発生回路から出力されるリペア信号が反転される。この反転されたリペア信号をもとに、不良箇所あるいは不良ブロックは、不良箇所あるいは不良ブロックと同等の機能を有する冗長回路に入れ替えられ、大規模半導体集積回路の歩留まりが向上されることになる。

【0007】図1は、フューズを用いた従来のリペア信号発生回路の構成を示す図である。このリペア信号発生回路は、フューズ103が接続された状態では、リペア信号「OUT」を「H」レベルで出力し、フューズ103が切断された状態では、リペア信号「OUT」を「L」レベルで出力する。

【0008】図1において、フューズ103が接続された状態、すなわち切断されていない状態では、接地され

たフューズ103がインバータ104の入力に接続されるため、インバータ104に「L」レベルが入力され、インバータ104が「H」レベルを出力する。インバータ104の出力は、リペア信号「OUT」として出力されるとともに、pチャネルトランジスタ102のゲートに入力される。pチャネルトランジスタ102のゲートに、インバータ104からの「H」レベルが入力されると、pチャネルトランジスタ102はオフ状態となる。

【0009】この状態で、レーザトリミング装置などによってフューズ103が切断されると、インバータ104の入力側は、電気的に孤立した浮きノードとなる。ここで、このリペア信号発生回路を搭載した半導体集積回路に電源が供給されると、キャパシタ101の一端が「H」レベルに急激に引っ張られ、すなわちキャパシタ101の電荷が放電され、インバータ104の入力側のノードは、電荷の放電に相当する電荷の再分配が生じると同時に電位の変動が生じる。

【0010】インバータ104の入力側のノードが一度「H」レベルになると、インバータ104は「L」レベルを出力し、pチャネルトランジスタ102のゲートに「L」レベルが入力され、pチャネルトランジスタ102はオン状態になると、電源Vccの電圧レベル、すなわち「H」レベルがインバータ104に入力され、その後、pチャネルトランジスタ102はオン状態を保持し、インバータ104からの「L」レベルのリペア信号の出力が保持されるラッチ回路として機能する。

【0011】これによって、リペア信号発生回路は、フューズ103が切断されていない場合、「H」レベルのリペア信号を図示しない切替回路に出力し、フューズ103が切断されている場合、「L」レベルのリペア信号を図示しない切替回路に出力する。

#### 【0012】

【発明が解決しようとする課題】しかしながら、上述した従来のリペア信号発生回路では、フューズ103の切断によってキャパシタ101の容量を引き上げるようにしているため、リペア信号発生回路の製造の出来具合によっては、インバータ104の入力側の電圧が上がりきらない場合などの現象が発生し、確実にフューズ103の切断状態を検出できないという問題点があった。

【0013】また、フューズ103が完全に切断されない場合、フューズ103には微小電流が流れ、低消費電力化を達成することができないという問題点もあった。

【0014】この発明は上記に鑑みてなされたもので、フューズが切断されているか否かを正しく検出したリペア信号を出力し、不良箇所を有した回路の救済を確実に行うことができるとともに低消費電力化を図ることができるリペア信号発生回路を得ることを目的とする。

#### 【0015】

【課題を解決するための手段】上記目的を達成するた

め、この発明にかかるリペア信号発生回路は、ソースを電源に接続し、ゲートにリセット信号が入力される第1のpチャネルトランジスタと、接地されたフューズの他端にソースを接続し、ドレインを前記第1のpチャネルトランジスタのドレインに接続し、ゲートに前記リセット信号が入力されるnチャネルトランジスタと、前記第1のpチャネルトランジスタと前記nチャネルトランジスタとの接続点にドレインを接続し、ソースを前記電源に接続し、前記nチャネルトランジスタに比してオン抵抗が大きい第2のpチャネルトランジスタと、入力側を前記接続点に接続し、出力側を前記第2のpチャネルトランジスタのゲートに接続し、リペア信号を出力するインバータと、を備えたことを特徴とする。

【0016】この発明によれば、第1のpチャネルトランジスタとnチャネルトランジスタとの各ゲートに、リセットオン状態を示すリセット信号が入力されると、接続点にリセット信号を反転した電位レベルが発生し、第2のpチャネルトランジスタおよびインバータによって構成される閉ループがこの電位レベルをラッチし、インバータからこの電位レベルを反転した電位レベルをもつリペア信号を出力する初期化を行う。リセットオン状態を示すリセット信号を反転した電位レベルをもつ、リセット解除を示すリセット信号が入力されると、接続点の電位レベルは、このリセット信号を反転した電位レベルとなり、フューズが切断されていない場合、第2のpチャネルトランジスタおよびインバータによって構成される閉ループがこの電位レベルをラッチし、この電位レベルを反転したリペア信号をインバータから出力する。一方、フューズが切断されている場合、第2のpチャネルトランジスタおよびインバータによって構成される閉ループの状態は、初期化時の状態を保持し、インバータから、リセット解除を示すリセット信号を反転したリペア信号がお出される。ここで、リセット解除を示すリセット信号が入力され、フューズが接続されている場合、第2のpチャネルトランジスタのオン抵抗は、nチャネルトランジスタのオン抵抗に比して大きいので、これらのオン抵抗による電圧の分圧比によって、接続点における電気不安定をなくし、フューズが接続されている状態を示すリペア信号を確実かつ安定に出力することができるようになっている。

【0017】つぎの発明にかかるリペア信号発生回路は、上記の発明において、前記電源と前記接続点との間にコンデンサをさらに接続したことを特徴とする。

【0018】この発明によれば、コンデンサが電源と接続点との間に設けられ、リセット解除直後における接続点の電位の変動を最小限に抑えるようにしている。

【0019】つぎの発明にかかるリペア信号発生回路は、上記の発明において、リセット解除を示す前記リセット信号を遅延させる遅延回路をさらに備え、前記リペア信号発生回路が搭載される半導体集積回路上の他の回

路に、リセット解除を示す前記リセット信号を遅延出力することを特徴とする。

【0020】この発明によれば、遅延回路が、リセット解除によるリペア信号の確定後、リセット解除を示すリセット信号を遅延させて、リペア信号発生回路が搭載される半導体集積回路上の他の回路に出力し、リペア信号によるリペア動作とリセット解除動作とが競合しないよう正在する。

【0021】つぎの発明にかかるリペア信号発生回路は、上記の発明において、前記遅延回路は、少なくとも複数段のフリップフロップ回路を備え、前記半導体集積回路に供給されるシステムクロックに同期してリセット解除を示す前記リセット信号を遅延出力することを特徴とする。

【0022】この発明によれば、システムクロックの周期とフリップフロップ回路の段数とによってリセット解除を示すリセット信号の遅延時間を最適に設定できるよう正在する。

【0023】つぎの発明にかかるリペア信号発生回路は、上記の発明において、前記複数段のフリップフロップ回路が outputするリセット信号に応答して前記インバータが outputするリペア信号をラッチ出力する第2のフリップフロップ回路と、前記複数段のフリップフロップ回路が outputするリセット信号をさらに遅延させる第3のフリップフロップ回路と、前記第3のフリップフロップ回路が outputするリセット信号の反転信号と当該リペア信号発生回路に入力される前記リセット信号との論理積をとり、前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに出力するリセット信号入力回路と、をさらに備えたことを特徴とする。

【0024】この発明によれば、まず、リセット信号入力回路を介して、リセットオン状態を示すリセット信号からリセット解除を示すリセット信号が前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに入力されることによって前記インバータから前記フューズの切断状態に応じたリペア信号が出力される。その後、第2のフリップフロップ回路が、前記複数段のフリップフロップ回路が遅延出力するリセット信号に応答して前記インバータが outputするリペア信号をラッチする。その後、前記第3のフリップフロップ回路が、前記複数段のフリップフロップ回路が遅延出力するリセット信号をさらに遅延し、リセット信号入力回路が、前記第3のフリップフロップ回路が遅延出力するリセット信号の反転信号と当該リペア信号発生回路に入力される前記リセット信号との論理積をとり、前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに出力し、当該リペア信号発生回路を再リセットし、前記フューズが完全に切断されていない高抵抗状態であっても、前記nチャネルトランジスタがオフ状態になるため、該フューズを介した微小電流が流れることが

なくなる。一方、前記第2のフリップフロップ回路は、前記リセット信号入力回路によって当該リセット信号発生回路を再リセットする前に、フューズの切断状態に応じたリペア信号をラッチしているので、正常なリペア信号が出力される。

【0025】

【発明の実施の形態】以下に添付図面を参照して、この発明にかかるリペア信号発生回路の好適な実施の形態を詳細に説明する。

【0026】実施の形態1. 図1は、この発明の実施の形態1であるリペア信号発生回路の構成を示す回路図である。図1において、pチャネルトランジスタ1のソースは、電源Vccに接続され、ゲートにはリセット信号「RESET」が端子P1から入力される。nチャネルトランジスタ2のソースは、接地されたフューズ3に接続され、ドレインはpチャネルトランジスタ1のドレインに接続され、ゲートにはリセット信号「RESET」が端子P1から入力される。

【0027】インバータ6の入力側は、pチャネルトランジスタ1とnチャネルトランジスタ2との接続点であるノードN1に接続され、インバータ6の出力は端子P2を介してリペア信号「OUT」が出力される。pチャネルトランジスタ5のソースは、電源Vccに接続され、ドレインはノードN1に接続され、ゲートはインバータ6の出力側に接続される。このpチャネルトランジスタ5のドライブ能力は、nチャネルトランジスタ2のドライブ能力に比して低い。すなわち、pチャネルトランジスタ5のオン抵抗は、nチャネルトランジスタ2のオン抵抗に比して大きな値を有する。

【0028】図1(a)は、フューズ3が切断されていない状態のリペア信号発生回路10の構成を示し、図1(b)は、フューズ3が切断されたリペア信号発生回路10の構成を示す。まず、図1(a)を参照して、フューズ3が切断されていない状態におけるリペア信号発生回路10の動作について説明する。図1(a)において、フューズ3が切断されていない状態、すなわちフューズ3が接続されている状態では、最終的なリペア信号「OUT」は「H」レベルを出力する。なお、リペア信号発生回路10が搭載される回路しない半導体集積回路には、システムのリセット信号「RESET」が供給される。リセット信号「RESET」は、半導体集積回路の内部状態を初期化する信号であり、「L」レベルの時に、強制的にシステムのリセットがかかる。

【0029】リセット信号「RESET」は、端子P1に入力される。システムリセットがオン状態の場合、リセット信号「RESET」は「L」レベルであり、pチャネルトランジスタ1は、オン状態となり、nチャネルトランジスタ2は、オフ状態となる。この場合、ノードN1には電源Vccの電源レベルが印加され、ノードN1は「H」レベルとなり、インバータ6には「H」レベル

が入力される。

【0030】このため、インバータ6は、反転した「L」レベルを出力し、pチャネルトランジスタ5はオン状態となる。この結果、インバータ6の入力側は再度「H」レベルとなるため、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「L」レベルを保持し、「L」レベルのリペア信号「OUT」を端子P2から出力する。

【0031】リセット信号「RESET」が「L」レベルから「H」レベルに変化し、リセットが解除されると、pチャネルトランジスタ1は、オフ状態となり、nチャネルトランジスタ2は、オン状態となる。上述したように、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、リセットオン時に、pチャネルトランジスタ5はオン状態であるため、リセット解除の直後、すなわちリセット信号「RESET」が「L」レベルから「H」レベルに変化した瞬間、電源Vcc、pチャネルトランジスタ5、ノードN1、nチャネルトランジスタ2、フューズ3および接地を介した電流バスが形成される。

【0032】ここで、pチャネルトランジスタ5のドライブ能力は、nチャネルトランジスタ2のドライブ能力に比して低い、すなわち、pチャネルトランジスタ5のオン抵抗は、nチャネルトランジスタのオン抵抗に比して大きいため、これらオン抵抗による電圧の分圧比によって、ノードN1は、接地レベルに近づき、「L」レベルに変化する。

【0033】この結果、その後インバータ6の出力は「H」レベルに変化し、pチャネルトランジスタ5はオフ状態に変化する。pチャネルトランジスタ5がオフ状態に変化すると、電源Vcc、pチャネルトランジスタ5、ノードN1、nチャネルトランジスタ2、フューズ3および接地を介した電流バスが切断され、最終的にノードN1は、nチャネルトランジスタ2およびフューズ3を介した接地によって「L」レベルとなる。このため、インバータ6の入力側は再度「L」レベルとなり、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「H」レベルを保持し、「H」レベルのリペア信号「OUT」を端子P2から出力し続ける。

【0034】つぎに、図1(b)を参照して、フューズ3が切断された状態におけるリペア信号発生回路10の動作について説明する。図1(b)において、フューズ3が切断された状態では、最終的なリペア信号「OUT」は「L」レベルを出力する。リセットオン状態、すなわち、リセット信号「RESET」が「L」レベルの場合は、上述したフューズ3が切断されていない状態と同じ動作である。すなわち、「L」レベルのリセット信号「RESET」が端子P1に入力されると、pチャネ

ルトランジスタ1は、オン状態となり、nチャネルトランジスタ2は、オフ状態となる。

【0035】この場合、ノードN1には電源Vccの電源レベルが印加され、ノードN1は「H」レベルとなり、インバータ6には「H」レベルが入力される。このため、インバータ6は、反転した「L」レベルを出力し、pチャネルトランジスタ5はオン状態となる。この結果、インバータ6の入力側は再度「H」レベルとなるため、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「L」レベルを保持し、「L」レベルのリペア信号「OUT」を端子P2から出力する。

【0036】リセット信号「RESET」が「L」レベルから「H」レベルに変化し、リセットが解除されると、pチャネルトランジスタ1は、オフ状態となり、nチャネルトランジスタ2は、オン状態となる。ここで、フューズ3は切断されているため、インバータ6に対して、pチャネルトランジスタ1による駆動はもちろん、オン状態となっているnチャネルトランジスタ2による駆動もなされない。

【0037】一方、リセットオン時において、pチャネルトランジスタ5はオン状態を保持しているため、リセット解除後も、ノードN1は、電源Vccによる電源レベル、すなわち「H」レベルを維持する。このため、インバータ6の入力側は「H」レベルを維持し、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「L」レベルを保持し、「L」レベルのリペア信号「OUT」を端子P2から出力し続ける。

【0038】これによって、フューズ3が切断されていない状態では、リセット解除後、「H」レベルのリペア信号「OUT」を出力し続け、フューズ3が切断されている状態では、リセット解除後、「L」レベルのリペア信号「OUT」を出力し続ける。

【0039】この実施の形態1によれば、フューズ3の切断の有無にかかわらず、リセット解除後、いかなる電流バスも生じないので、低消費電力化されたリペア信号発生回路を実現できる。また、リセット信号「RESET」によってラッチ回路4が確実に初期化されているので、リペア信号発生回路10の回路動作が安定し、半導体製造プロセス上のバラツキがある場合であっても、リペア信号回路自体の歩留まりを高めることができる。

【0040】実施の形態2。つぎに、この発明の実施の形態2について説明する。この実施の形態2では、図1に示したリペア信号発生回路10のノードN1の電圧レベルを一定期間安定させるコンデンサを設けるようにしている。

【0041】図2は、この発明の実施の形態2であるリペア信号発生回路の構成を示す回路図である。図2

(a) は、フューズ3が切断されない状態でのリペア信号発生回路の構成を示し、図2 (b) は、フューズ3が切断された状態のリペア信号発生回路の構成を示している。図2に示すリペア信号発生回路20は、図1に示したリペア信号発生回路10のノードN1に対応するノードN2と電源Vccとの間にコンデンサ21をさらに接続した構成としている。このコンデンサ21を設けることによって、ノードN2の電位の変化を緩慢にすることができる。その他の構成は、図1に示したリペア信号発生回路10と同じであり、同一構成部分には同一符号を付している。

【0042】まず、図2 (a) を参照して、フューズ3が切断されない状態におけるリペア信号発生回路20の動作について説明する。リセットオン時、すなわちリセット信号「RESET」が「L」レベルの場合、コンデンサ21およびインバータ6の入力側が接続されるノードN2は「H」レベルになり、ラッチ回路4の閉ループによって端子P2から「L」レベルのリペア信号「OUT」が outputされる。この場合、コンデンサ21は「H」レベルに充電される。

【0043】リセット解除後、すなわちリセット信号「RESET」が「L」レベルから「H」レベルに変化した後は、pチャネルトランジスタ5のオン抵抗がnチャネルトランジスタ2のオン抵抗に比して大きいため、電源Vcc、pチャネルトランジスタ5、ノードN2、nチャネルトランジスタ2、フューズ3および接地を介した電流バス上で、オン抵抗による電圧の分圧比によってノードN2は、「L」レベルに変化する。この結果、その後インバータ6の出力は「H」レベルに変化し、pチャネルトランジスタ5はオフ状態に変化する。

【0044】pチャネルトランジスタ5がオフ状態に変化すると、電源Vcc、pチャネルトランジスタ5、ノードN2、nチャネルトランジスタ2、フューズ3および接地を介した電流バスが切断され、最終的にノードN1は、nチャネルトランジスタ2およびフューズ3を介した接地によって「L」レベルとなる。このため、インバータ6の入力側は再度「L」レベルとなり、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「H」レベルを保持し、「H」レベルのリペア信号「OUT」を端子P2から出力し続ける。

【0045】つぎに、図2 (b) を参照して、フューズ3が切断された状態におけるリペア信号発生回路20の動作について説明する。リセットオン時では、フューズ3が切断されていない状態と同様に、リセット信号「RESET」の「L」レベルによって、コンデンサ21およびインバータ6の入力側が接続されるノードN2は「H」レベルになり、ラッチ回路4の閉ループによって端子P2から「L」レベルのリペア信号「OUT」が outputされる。この場合、コンデンサ21は「H」レベルに

充電される。

【0046】リセット解除時、すなわちリセット信号「RESET」が「L」レベルから「H」レベルに変化した後は、フューズ3が切断されており、またpチャネルトランジスタ1がオフ状態であるため、nチャネルトランジスタ2およびpチャネルトランジスタ1によってインバータ6が駆動されることはない。ここで、リセットオン状態からリセット解除状態に移行する瞬間、nチャネルトランジスタ2がオフ状態からオン状態に遷移するので、nチャネルトランジスタ2の近傍のノードN2において電荷の再分配が発生するが、ノードN2に、この電荷の再分配を発生される電気容量に比して十分大きな電気容量をもつコンデンサ21が接続されているため、この電荷の再分配によるノードN2における電位の変動を減衰させることができる。

【0047】ここで、pチャネルトランジスタ5はオン状態を保持しているため、リセット解除後も、ノードN2は、電源Vccによる電源レベル、すなわち「H」レベルを維持する。このため、インバータ6の入力側は「H」レベルを維持し、インバータ6とpチャネルトランジスタ5とで構成されるラッチ回路4の閉ループによって、インバータ6の出力は「L」レベルを保持し、「L」レベルのリペア信号「OUT」を端子P2から出力し続ける。

【0048】なお、ノードN2における電位が一瞬でも「L」レベルになると、ラッチ回路4によって反転した「H」レベルがラッチされてしまうことになり、フューズ3が切断されているにもかかわらず、フューズ3が接続されている状態を示すリペア信号「OUT」を出力することになる。

【0049】これによって、フューズ3が切断されていない状態では、リセット解除後、「H」レベルのリペア信号「OUT」を出力し続け、フューズ3が切断されている状態では、リセット解除後、「L」レベルのリペア信号「OUT」を出力し続ける。特に、フューズ3が切断されている状態におけるリセット解除時における「L」レベルのリペア信号「OUT」を安定して出力することができる。

【0050】この実施の形態2によれば、実施の形態1と同様に、フューズ3の切断の有無にかかわらず、リセット解除後、いかなる電流バスも生じないので、低消費電力化されたりペア信号発生回路を実現できるとともに、リセット信号「RESET」によってラッチ回路4が確実に初期化されようとしているので、リペア信号発生回路10の回路動作が安定し、半導体製造プロセス上のバラツキがある場合であっても、リペア信号回路自体の歩留まりを高めることができる。また、コンデンサ21によって、リセット解除直後におけるノードN2の電圧変動を減衰させるようにしているので、フューズ3の切断の検出を安定して行うことができる。

【0051】実施の形態3. つぎに、この発明の実施の形態3について説明する。この実施の形態3では、リペア信号発生回路が供給するリペア信号が確定した後に、このリペア信号発生回路が搭載される半導体集積回路上の他の回路に、リセット解除を指示するリセット信号を供給するようにし、リペア信号に基づいたリペア動作と、この半導体集積回路上の他の回路のリセット解除動作との競合によるタイミングクリティカルな動作を回避するようにしている。

【0052】図3は、この発明の実施の形態3であるリペア信号発生回路の構成を示す回路図である。図3に示すリペア信号発生回路30は、図2に示したリペア信号発生回路20にリセット信号発生回路31を付加した構成である。

【0053】リセット信号発生回路31は、二つのフリップフロップ回路32, 33を有し、各フリップフロップ回路32, 33は、カスケード接続される。各フリップフロップ回路32, 33の端子Tには、端子P3を介してシステムクロック「SYSTEM\_CLK」が供給される。また、各フリップフロップ回路32, 33の端子Rおよびフリップフロップ回路の端子Dには、リセット信号「RESET」が供給される。さらに、フリップフロップ回路33の端子Dには、フリップフロップ回路32の出力端子である端子Yからの出力が入力され、フリップフロップ回路33の端子Yから、端子P4を介して図示しない半導体集積回路上におけるリペア信号発生回路以外の他の回路に、リセット信号「INTERNAL\_RESET」を出力する。

【0054】各フリップフロップ回路32, 33は、システムクロック「SYSTEM\_CLK」の立ち上がりに同期して端子Dに入力されたデータをラッチし、端子Yからラッチしたデータを出力する。また、各フリップフロップ回路32, 33は、端子Rに「L」レベルのデータが供給されると、これを反転した「H」レベルのデータが入力され、端子Yからの出力を強制的に「L」レベルで出力する。

【0055】端子P1から入力されるリセット信号「RESET」が「L」レベルの時、すなわちリセットオン時、リセット信号発生回路31の各フリップフロップ回路32, 33の端子Rにも、「L」レベルのリセット信号「RESET」が入力され、リセット信号「INTERNAL\_RESET」は「L」レベルを出力する。リセット信号「INTERNAL\_RESET」が「L」レベルの時、半導体集積回路上のリペア信号発生回路以外の回路は全て初期化される。

【0056】リセット信号「RESET」がリセット解除して「L」レベルから「H」レベルに変化すると、リペア信号発生回路のリセットが解除され、フューズ3が切断されていない場合、「H」レベルのリペア信号「OUT」を出力し、フューズ3が切断されている場合、

「L」レベルのリペア信号「OUT」を出力する。このとき、リセット信号発生回路31は「L」レベルを保持し続け、半導体集積回路上のリペア信号発生回路以外の回路は、リセットがかかったままの状態である。

【0057】その後、端子P3からシステムクロック「SYSTEM\_CLK」が供給され始めると、フリップフロップ回路32は、システムクロック「SYSTEM\_CLK」の最初の立ち上がりで、リセット信号「RESET」をラッチする。このとき、リセット解除状態であるので、ラッチされるリセット信号「RESET」は「H」レベルのデータである。つぎにシステムクロック「SYSTEM\_CLK」の2番目の立ち上がりが各フリップフロップ回路32, 33に入力されると、フリップフロップ回路33は、フリップフロップ回路32から入力された「H」レベルのデータをラッチし、「H」レベルのリセット信号「INTERNAL\_RESET」を出力する。

【0058】これによって、半導体集積回路上のリペア信号発生回路以外の回路はリセット解除されることになる。この場合、半導体集積回路上のリペア信号発生回路以外の他の回路にはまず、リセット解除によって確定したリペア信号「OUT」が输出され、その後、システムクロック「SYSTEM\_CLK」およびフリップフロップ回路32, 33の段数に応じた分の遅延をもって、リセット信号発生回路31からリセット信号「INTERNAL\_RESET」が输出される。

【0059】すなわち、半導体集積回路に入力される外部のリセット信号「RESET」が解除され、リペア信号発生回路のリセットが解除され、フューズ3の切断／非切断の状態に応じて半導体集積回路内の回路が救済された後、システムクロック「SYSTEM\_CLK」およびフリップフロップ回路32, 33の段数分、遅延して、半導体集積回路内の回路が立ち上がる。このため、完全に半導体集積回路内の回路がリペアされた後、タイミング的に余裕をもって、半導体集積回路内におけるリペア信号発生回路以外の回路のリセット解除を行うことができる。

【0060】なお、上述した実施の形態3では、フリップフロップ回路22, 23の段数を2段に設定したが、これに限らず、3段以上のフリップフロップ回路を直接接続するようにしてもよい。この場合、システムクロック「SYSTEM\_CLK」の周期を加味し、所望の遅延時間を得るための段数を設定するとよい。

【0061】この実施の形態3によれば、リセット信号発生回路31が、リペア信号発生回路によるリセット解除を確定し、半導体集積回路内の回路に対するリペアが完全に行われた後に、この半導体集積回路内の回路に対するリセット解除を行うよう正在しているので、リペア動作とリセット動作との競合がなくなり、安全なタイミングでリペア動作とリセット動作とを行うことができる。

【0062】実施の形態4、つぎに、この発明の実施の形態4について説明する。この実施の形態4では、フューズ3が完全に切斷されていない場合に、フューズ3に流れる微小電流の発生を防ぎ、低消費電力化を図るようしている。

【0063】図4は、この発明の実施の形態4であるリペア信号発生回路の構成を示す回路図である。図4に示すリペア信号発生回路40は、図3に示したリペア信号発生回路30に、フリップフロップ回路41と、フリップフロップ回路42と、アンド回路43とをさらに付加した構成である。その他の構成は、図3に示したリペア信号発生回路30と同じ構成であり、同一構成部分には同一符号を付している。

【0064】図4において、フリップフロップ回路42は、リセット信号発生回路31内のフリップフロップ回路33の後段に接続される。フリップフロップ回路42の端子Tには、端子P3を介してシステムクロック「SYSTEM\_CLK」が供給される。また、フリップフロップ回路42の端子Rにはリセット信号「RESET」が供給される。さらに、フリップフロップ回路42の端子Dには、フリップフロップ回路33の端子Yからの出力が入力され、フリップフロップ回路42の端子から出力されるリセット信号S2は、反転されて、アンド回路43に入力される。

【0065】アンド回路43には、端子P1からのリセット信号「RESET」が入力されるとともに、上述したフリップフロップ回路42から、システムクロック「SYSTEM\_CLK」の3クロック分遅延したリセット信号S2が入力される。このため、フューズ回路44には、端子P1から入力されるリセット信号「RESET」がそのまま入力され、フューズ3の切斷／非切斷の状態に応じたリペア信号S4をフリップフロップ回路41に出力することになる。その後、システムクロック「SYSTEM\_CLK」の3クロック分遅延した「H」レベルのリセット信号S2の反転信号がアンド回路43の他端に入力され、このリセット信号S2の入力によって、再度、「L」レベルのリセットオン状態を示すリセット信号S3がフューズ回路44に入力され、フューズ回路44はリセット状態となる。

【0066】このリセット信号S2の反転信号がアンド回路43に入力されてフューズ回路44がリセット状態となる前に、フリップフロップ回路41の端子Tには、フリップフロップ回路33の端子Yから出力されたリセット信号S1を反転した信号が入力され、このリセット信号S1をラッチクロックとし、リセット信号S1が「L」レベルのときに端子Dに入力されるリセット信号S4を取り込み、「H」レベルのときに、この取り込んだリセット信号S4のデータをラッチし、リペア信号「OUT」として出力する。すなわち、フリップフロップ回路41は、システムクロック「SYSTEM\_CLK」

2クロック分経過するまでに、フューズ回路44が確実に判定したりペア信号S4を取り込み、システムクロック「SYSTEM\_CLK」2クロック分経過後、ラッチしたリセット信号「OUT」を端子P2に出力する。

【0067】また、フリップフロップ回路33から出力されるリセット信号S1は、システムクロック「SYSTEM\_CLK」2クロック分遅延した信号であり、リセット信号S2によってフューズ回路44が再リセットされる前に、フューズ3の切斷状態に応じた正常なリペア信号S4がフリップフロップ回路41に確実に取り込まれることになる。一方、このリセット信号S1は、端子P1から入力されるリセット信号「RESET」を、システムクロック「SYSTEM\_CLK」2クロック分遅延したリセット信号「INTERNAL\_RESET」として、端子P4に出力される。

【0068】これによって、たとえばフューズ回路44のフューズ3が完全に切斷されず、たとえば数十MΩといった高い抵抗を有する場合であっても、nチャネルトランジスタ2がオフ状態となるため、フューズ3には、電源Vcc、ノードN2、フューズ3を介した微小電流が流れるバスが生成されず、低消費電力化を促進することになる。一方、上述したように、フリップフロップ回路41は、フューズ3の切斷状態に応じた正常なリペア信号S4を確実に取り込み、リペア信号「OUT」として端子P2に出力する。

【0069】なお、上述した実施の形態4では、フリップフロップ回路41がフリップフロップ回路33が出力するリセット信号S1の反転信号をラッチクロックとし、システムクロック「SYSTEM\_CLK」2クロック分遅延した状態で端子P2にリペア信号「OUT」を出力するとともに、リセット信号S1をリセット信号「INTERNAL\_RESET」として端子P4に出力しているが、フリップフロップ回路42から出力されるリセット信号S2をリセット信号「INTERNAL\_RESET」として端子P4に出力するようにしてもよい。この場合、端子P2から出力されるリペア信号「OUT」によるリペア動作と端子P4から出力されるリセット信号「INTERNAL\_RESET」によるリセット動作との競合を確実に避けることができる。

【0070】この実施の形態4によれば、フリップフロップ回路41によってフューズ3の切斷状態に応じた正常なリペア信号「OUT」を出力することができるとともに、このフリップフロップ回路41がこの正常なリペア信号「OUT」を取り込んだ後に、アンド回路43によって再びフューズ回路44をリセットしてnチャネルトランジスタ2をオフ状態にするようにしているので、フューズ3の切斷が完全でない場合であっても、このフューズ3には電流が流れず、低消費電力化を図ることができる。

## 【0071】

【発明の効果】以上説明したように、この発明によれば、第1のpチャネルトランジスタとnチャネルトランジスタとの各ゲートに、リセットオン状態を示すリセット信号が入力されると、接続点にリセット信号を反転した電位レベルが発生し、第2のpチャネルトランジスタおよびインバータによって構成される閉ループがこの電位レベルをラッチし、インバータからこの電位レベルを反転した電位レベルをもつリペア信号を出力する初期化を行う。リセットオン状態を示すリセット信号を反転した電位レベルをもつ、リセット解除を示すリセット信号が入力されると、接続点の電位レベルは、このリセット信号を反転した電位レベルとなり、フューズが切断されていない場合、第2のpチャネルトランジスタおよびインバータによって構成される閉ループがこの電位レベルをラッチし、この電位レベルを反転したリペア信号をインバータから出力する。一方、フューズが切断されている場合、第2のpチャネルトランジスタおよびインバータによって構成される閉ループの状態は、初期化時の状態を保持し、インバータから、リセット解除を示すリセット信号を反転したリペア信号が出力される。ここで、リセット解除を示すリセット信号が入力され、フューズが接続されている場合、第2のpチャネルトランジスタのオン抵抗は、nチャネルトランジスタのオン抵抗に比して大きいので、これらのオン抵抗による電圧の分圧比によって、接続点における電気不安定をなくし、フューズが接続されている状態を示すリペア信号を確実かつ安定に出力することができるようになっているので、確実かつ安定したリペア信号を簡易な構成によって出力することができるとともに、リセット解除後においてフューズの切断／非切断にかかわらず、電源から接地への電流バスが発生しないため、低消費電力化を高めることができるという効果を奏する。

【0072】つぎの発明によれば、コンデンサが電源と接続点との間に設けられ、リセット解除直後における接続点の電位の変動を最小限に抑えるようにしているので、一層、確実かつ安定したリペア信号を出力することができるという効果を奏する。

【0073】つぎの発明によれば、遅延回路が、リセット解除によるリペア信号の確定後、リセット解除を示すリセット信号を遅延させて、リペア信号発生回路が搭載される半導体集積回路上の他の回路に出力し、リペア信号によるリペア動作とリセット解除動作とが競合しないようにしているので、半導体集積回路上の他の回路におけるリペア動作とリセット解除動作とを安全に行うことができるという効果を奏する。

【0074】つぎの発明によれば、システムクロックの周期とフリップフロップ回路の段数とによってリセット解除を示すリセット信号の遅延時間を最適に設定できる

ようにしているので、一層、安全なリペア動作とリセット解除動作とを行うことができるという効果を奏する。

【0075】つぎの発明によれば、まず、リセット信号入力回路を介して、リセットオン状態を示すリセット信号からリセット解除を示すリセット信号が前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに入力されることによって前記インバータから前記フューズの切断状態に応じたリペア信号が出力される。その後、第2のフリップフロップ回路が、前記複数段のフリップフロップ回路が遅延出力するリセット信号に応答して前記インバータが出力するリペア信号をラッチする。その後、前記第3のフリップフロップ回路が、前記複数段のフリップフロップ回路が遅延出力するリセット信号をさらに遅延し、リセット信号入力回路が、前記第3のフリップフロップ回路が遅延出力するリセット信号の反転信号と当該リペア信号発生回路に入力される前記リセット信号との論理積をとり、前記第1のpチャネルトランジスタおよび前記nチャネルトランジスタのゲートに出力し、当該リペア信号発生回路を再リセットし、前記フューズが完全に切離されていない高抵抗状態であっても、前記nチャネルトランジスタがオフ状態になるため、該フューズを介した微小電流が流れることがなくなる。一方、前記第2のフリップフロップ回路は、前記リセット信号入力回路によって当該リセット信号発生回路を再リセットする前に、フューズの切離状態に応じたリペア信号をラッチしているので、正常なリペア信号が出力されるようになっているので、フューズの切離状態が完全でない場合に該フューズを介した微小電流の発生を防ぎ、低消費電力化を一層促進することができるという効果を奏する。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1であるリペア信号発生回路の構成を示す回路図である。

【図2】 この発明の実施の形態2であるリペア信号発生回路の構成を示す回路図である。

【図3】 この発明の実施の形態3であるリペア信号発生回路の構成を示す回路図である。

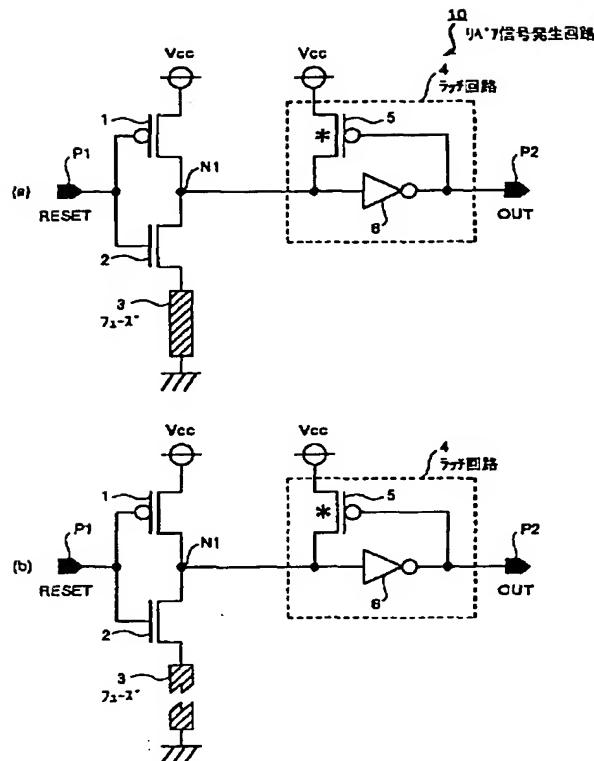
【図4】 この発明の実施の形態4であるリペア信号発生回路の構成を示す回路図である。

【図5】 従来におけるリペア信号発生回路の構成を示す図である。

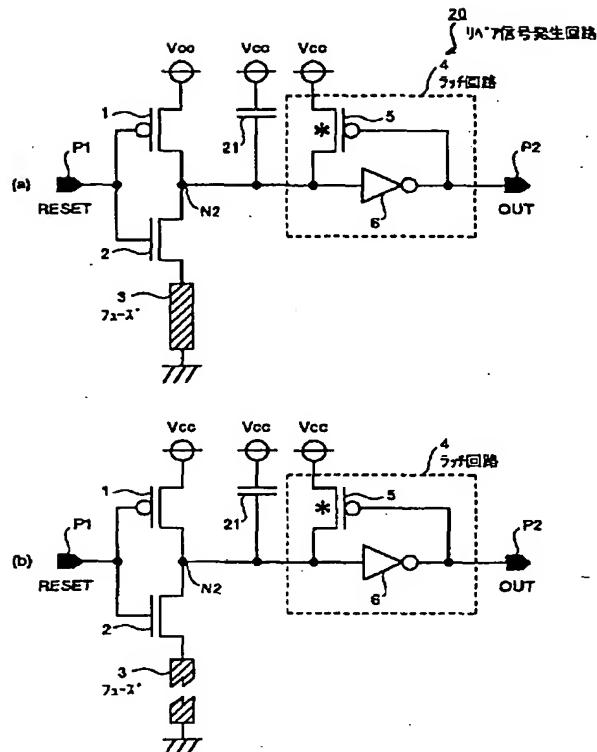
## 【符号の説明】

1, 5 pチャネルトランジスタ、2 nチャネルトランジスタ、3 フューズ、4 ラッチ回路、6 インバータ、10, 20, 30, 40 リペア信号発生回路、21 コンデンサ、31 リセット信号発生回路、32, 33, 41, 42 フリップフロップ回路、43 アンド回路、N1, N2 ノード、Vcc電源、P1～P4 端子。

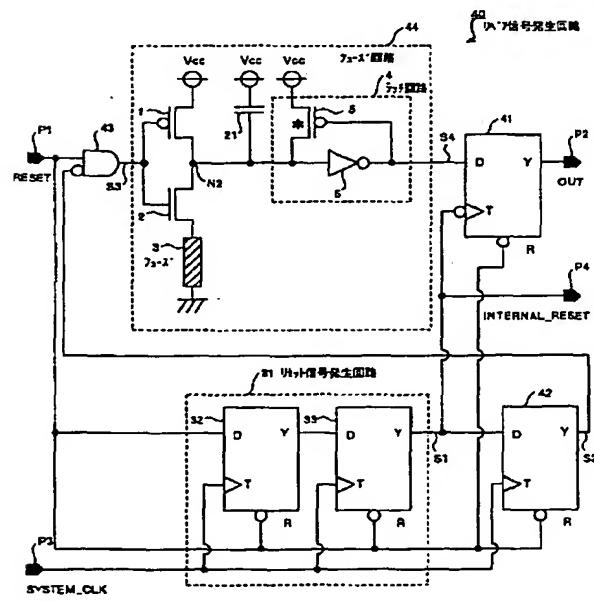
【图1】



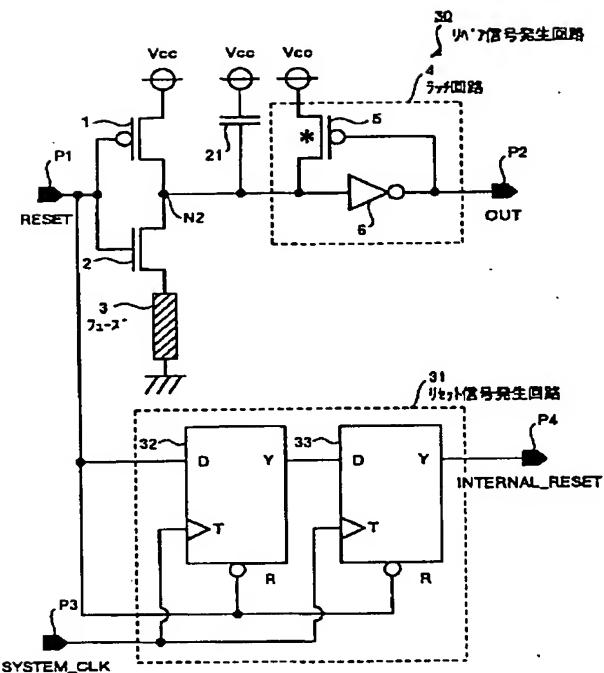
【图2】



【図4】



【図3】



【図5】

